



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Koji YAMAGUCHI

Application No.: 10/757,443

Filed: January 15, 2004

Docket No.: 118342

For: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE,
AND METHOD FOR MANUFACTURING SEMICONDUCTOR MODULE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2003-015517, filed January 24, 2003.

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: February 12, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 1月24日

出願番号
Application Number: 特願2003-015517

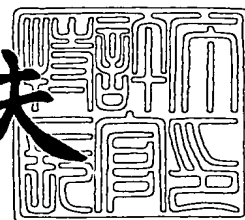
[ST. 10/C]: [JP2003-015517]

出願人
Applicant(s): セイコーエプソン株式会社

2004年 1月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3108586

【書類名】 特許願

【整理番号】 J0094895

【提出日】 平成15年 1月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/07

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 山口 浩司

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100066980

 【弁理士】

 【氏名又は名称】 森 哲也

【選任した代理人】

 【識別番号】 100075579

 【弁理士】

 【氏名又は名称】 内藤 嘉昭

【選任した代理人】

 【識別番号】 100103850

 【弁理士】

 【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

 【予納台帳番号】 001638

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体モジュールの製造方法

【特許請求の範囲】

【請求項 1】 半導体基板に開口部を形成する工程と、
前記開口部内に埋め込み電極を形成する工程と、
前記半導体基板の前記開口部が形成された面の裏面から、前記半導体基板をスパインエッチングすることにより、前記半導体基板を薄型化して前記半導体基板に前記開口部を貫通させる工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 2】 さらに、前記開口部内に埋め込み電極を形成する工程の前に、前記開口部内に絶縁膜を形成する工程を備え、
前記半導体基板に前記開口部を貫通させる工程において、前記絶縁膜の少なくとも一部を露出する工程を備えることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 さらに、前記半導体基板に前記開口部を貫通させる工程の後に、前記絶縁膜を除去して、前記埋め込み電極を露出する工程と、を備えることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 さらに、前記半導体基板に前記開口部を貫通させる工程の前に、前記裏面から前記半導体基板を研削する工程を備えることを特徴とする請求項 1 から 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記半導体基板に前記開口部を貫通させる工程において、前記半導体基板のエッチングレートは、経時変化することを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記半導体基板に前記開口部を貫通させる工程において、前記半導体基板のエッチングレートは、第 1 のエッチングレートから前記第 1 のエッチングレートよりも遅い第 2 のエッチングレートに変化することを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】 前記埋め込み電極を露出する工程において、露出された前記絶縁膜を研削して、前記絶縁膜を除去することを特徴とする請求項 3 記載の半導

体装置の製造方法。

【請求項 8】 前記半導体基板に前記開口部を貫通させる工程の前に、前記半導体基板の前記開口部が形成された面に保持部材を貼り付ける工程をさらに備えることを特徴とする請求項 1 から 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】 前記保持部材は、基材と、前記基材の表面に設けられた粘着層とを含み、

前記基材は、テープ、フィルム、透光性基板及び他の半導体基板のいずれか一つであることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 第 1 の半導体基板に開口部を形成する工程と、
前記開口部内に埋め込み電極を形成する工程と、
前記半導体基板の前記開口部が形成された面の裏面から、前記半導体基板をスパインエッチングすることにより、前記半導体基板を薄型化して前記半導体基板に前記開口部を貫通させる工程と、

前記第 1 の半導体基板を電極を有する第 2 の半導体基板上に搭載し、前記埋め込み電極と前記電極とを電氣的に接続する工程と、
を備えることを特徴とする半導体モジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法および半導体モジュールの製造方法に関し、特に、基板に貫通電極を形成する方法に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、半導体チップの積層構造を実現するため、半導体基板に貫通孔を形成し、その貫通孔に埋め込まれた貫通電極を介して半導体基板間の接続を行う方法があった。

図 8 は、従来の半導体装置の製造方法を示す断面図である。

【0003】

図 8 (a) において、半導体基板 5 1 の表面 5 1 ' にはパッド電極 5 2 が形成されている。パッド電極 5 2 を介して開口部 5 3 を半導体基板 5 1 に形成する。次に、図 8 (b) (c) に示すように、開口部 5 3 内に絶縁膜 5 4 を形成し、開口部 5 3 内に埋め込み電極 5 7 を形成する。図 8 (d) に示すように、半導体基板 5 1 の裏面 5 1 ' ' をドライエッチングすることにより、半導体基板 5 1 を薄型化し、開口部 5 3 を半導体基板 5 1 に貫通させる。これにより、半導体基板 5 1 に貫通孔 5 3 ' を形成し、絶縁膜 5 4 を除去して、埋め込み電極 5 7 の先端を露出させる。これにより、貫通電極 5 7 ' を形成する。

【0004】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置の製造方法では、貫通電極 5 7 ' の先端を露出させる場合には、ドライエッチングが用いられていた。このように、ドライエッチングを用いる方法では、エッチング速度が遅い。このため、半導体装置のスループットが低下するという問題があった。

【0005】

対して、エッチング速度を速めるために、ウェットエッチングを用いると、半導体基板の位置によってエッチング量にばらつきが生じる場合があった。このため、貫通電極 5 7 ' が半導体基板 5 1 の表面から突出した部分において、高さのばらつきが生じる場合があった。この場合、他の半導体基板や回路基板に半導体基板 5 1 を接続する際に、他の半導体基板や回路基板に、半導体基板 5 1 の端部が接触し、信頼性が低下するという問題があった。

【0006】

そこで、本発明の目的は、信頼性の高い半導体装置を実現し、形状よく貫通電極を形成することが可能な半導体装置の製造方法および半導体モジュールの製造方法を提供することである。

【0007】

【課題を解決するための手段】

(1) 本発明の半導体装置の製造方法によれば、半導体基板に開口部を形成する工程と、前記開口部内に埋め込み電極を形成する工程と、前記半導体基板の前

記開口部が形成された面の裏面から、前記半導体基板をスピネッチングすることにより、前記半導体基板を薄型化して前記半導体基板に前記開口部を貫通させる工程と、を備えることを特徴とする。

【0008】

半導体基板をスピネッチングにより薄型化する。これにより、半導体基板に開口部を貫通させて、埋め込み電極を半導体基板に貫通する。これにより、半導体基板の被エッチング面の平坦性を損なうことなく、貫通電極を半導体基板に形成することが可能となる。また、短時間に、半導体基板を薄型化して、貫通電極を形成することができる。このため、半導体装置の信頼性を低下させることなく、貫通電極を効率よく形成でき、半導体装置のスループットを向上させることが可能となる。

(2) また、本発明の半導体装置は、上記(1)において、さらに、前記開口部内に埋め込み電極を形成する工程の前に、前記開口部内に絶縁膜を形成する工程を備え、前記半導体基板に前記開口部を貫通させる工程において、前記絶縁膜の少なくとも一部を露出する工程を備えることを特徴としてもよい。これにより、絶縁膜がスピネッチングのエッチングストップ層として機能できるため、エッチングの終点が検出しやすい。従って、貫通電極の半導体基板表面からの突出高さをより均一化することができる。

(3) さらに、上記(2)において、前記半導体基板に前記開口部を貫通させる工程の後に、前記絶縁膜を除去して、前記埋め込み電極を露出する工程と、を備えることを特徴としてもよい。これにより、埋め込み電極がスピネッチングによって腐食するのを防止することができる。従って、半導体装置の信頼性をさらに向上することができる。

(4) さらに、上記(1)から(3)のいずれかに記載の製造方法において、前記半導体基板に前記開口部を貫通させる工程の前に、前記裏面から前記半導体基板を研削する工程を備えることを特徴としてもよい。これにより、半導体基板の薄型化の速度をさらに向上させることが可能となり、スループットの低下を抑制しつつ、半導体基板の被エッチング面の平坦性を向上させることが可能となる。

(5) また、上記(1)から(4)のいずれかに記載の半導体装置の製造方法に

において、前記半導体基板に前記開口部を貫通させる工程において、前記半導体基板のエッチングレートは、経時変化することを特徴としてもよい。この場合、前記半導体基板のエッチングレートは、第 1 のエッチングレートから前記第 1 のエッチングレートよりも遅い第 2 のエッチングレートに変化することを特徴としてもよい。これにより、エッチングレートが長時間に渡って低下することを防止しつつ、かつ、半導体基板のエッチング量の面内バラツキを低減させることが可能となる。これにより、半導体装置のスループットの低下を抑制しつつ、貫通電極の突出高さの均一性を向上させることが可能となる。

(6) また、上記 (3) 記載の半導体装置の製造方法において、前記埋め込み電極を露出する工程において、露出された前記絶縁膜を研削して、前記絶縁膜を除去することを特徴としてもよい。これにより、埋め込み電極の先端の絶縁膜は、研削面に効率よく押し当てることが可能であり、埋め込み電極を効率よく露出させることが可能となる。従って、半導体装置のスループットを向上させることが可能となる。前記研削は、機械的研削及びCMPの少なくともいずれか一方であってもよい。機械的研削を用いれば、研削速度を容易に向上させることを可能として、スループットを向上させることが可能となる。また、CMPを用いれば、半導体基板に与える損傷を抑制し、半導体基板表面の平坦性を向上しつつ、半導体基板の薄型化または絶縁膜の除去を容易に行うことが可能となる。

(7) 上記 (1) から (6) のいずれかに記載の半導体装置の製造方法において、前記半導体基板に前記開口部を貫通させる工程の前に、前記半導体基板の前記開口部が形成された面に保持部材を貼り付ける工程をさらに備えることを特徴してもよい。これにより、半導体基板を薄型化した場合においても、半導体基板の反りや割れを防止することが可能となり、半導体基板の大口径化を可能としつつ、半導体基板の取り扱いを容易化して、半導体装置のスループットを容易に向上させることが可能となる。

(8) 上記 (7) 記載の半導体装置の製造方法において、前記保持部材は、基材と、前記基材の表面に設けられた粘着層とを含み、前記基材は、テープ、フィルム、ガラス基板及びシリコン基板のいずれか一つであることを特徴としてもよい。ここで、保持部材として、粘着層が形成されたテープまたはフィルムを用い

ることにより、保持部材の貼り付けおよび引き剥がしを容易に行うことが可能となる。また、基材に透光性基板を用いることにより、透光性基板を介して粘着層に光を当てることが可能となり、保持部材の貼り付けおよび引き剥がしを容易に行うことが可能となる。また、基材に他の半導体基板を用いることにより、弾性係数や熱膨張係数などを半導体基板と一致させることが可能となり、半導体基板を安定して保持することが可能となる。

(9) 本発明の半導体モジュールの製造方法は、第1の半導体基板に開口部を形成する工程と、前記開口部内に埋め込み電極を形成する工程と、前記半導体基板の前記開口部が形成された面の裏面から、前記半導体基板をスパインエッチングすることにより、前記半導体基板を薄型化して前記半導体基板に前記開口部を貫通させる工程と、前記第1の半導体基板を電極を有する第2の半導体基板上に搭載し、前記埋め込み電極と前記電極とを電氣的に接続する工程と、を備えることを特徴とする。

【0009】

これにより、半導体基板をスパインエッチングにより薄型化することが可能となり、被エッチング面の平坦性を損なうことなく、半導体基板に貫通電極を形成することが可能となる。また、短時間に、半導体基板を薄型化して、貫通電極を露出させることができる。このため、半導体装置の信頼性を低下させることなく、貫通電極を効率よく形成することが可能となり、半導体装置のスループットを向上させることが可能となる。また、半導体基板の積層構造を精度よく構築することが可能となる。

【0010】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置の製造方法および半導体モジュールの製造方法について、図面を参照しながら説明する。

図1～3は、本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【0011】

図1(a)において、半導体基板1の表面1'には電極パッド2が形成されて

いる。半導体基板 1 は、半導体ウエハであってもよいし、半導体ウエハを個片化した半導体チップであってもよい。半導体基板 1 内には、集積回路が形成されており、電極パッド 2 は集積回路に電氣的に接続している。半導体基板 1 は、表面 1' に電極パッド 2 のパッシベーション膜として絶縁膜 2' を有していてもよい。この場合、パッシベーション膜は、電極パッド 2 上に位置する開口部を有していてもよい。

【0012】

次に半導体基板 1 に開口部 3 を形成する。例えば、フォトリソグラフィ技術およびエッチング技術を用いることにより、開口部 3 を形成してもよい。半導体基板 1 の電極パッド 2 を含む領域に、開口部 3 を形成してもよい。すなわち、開口部 3 は、電極パッド 2 を貫通していてもよい。開口部 3 の開口面積は、パッシベーション膜の開口部の開口面積よりも小さくてもよい。開口部 3 の形成後において、電極パッド 2 の上面の少なくとも一部は、パッシベーション膜の開口部内で露出されて設けられていてもよい。開口部 3 は、半導体基板 1 に複数設けられている。複数の開口部 3 の深さは等しくてもよいし、異なってもよい。

【0013】

ここで、開口部 3 の深さ D1 は、半導体基板 1 の厚み T1 よりも小さく形成される。すなわち、開口部 3 は、半導体基板 1 の厚み方向に深く形成され、半導体基板 1 内に底部が形成される。例えば、半導体基板 1 の厚み T1 は 6 インチウエハを用いた場合、 $625\mu\text{m}$ 、8 インチウエハを用いた場合、 $725\mu\text{m}$ とすることができ、開口部 3 の深さ D1 は、例えば、 $70\mu\text{m}$ とすることができる。

【0014】

なお、半導体基板 1 への開口部 3 の形成は、ドライエッチングやウェットエッチング等のエッチング技術を用いる方法のほか、例えば、レーザ技術を用いるようにしてもよい。開口部 3 は、半導体基板 1 の表面 1' に対して側面が垂直になるように形成されて、開口部の断面が筒型形状になるように形成されてもよい。また、開口部 3 は、開口部の断面が樽型形状又は鼓型形状になるように形成されてもよい。

【0015】

次に、図 1 (b) に示すように、開口部 3 内の底面および側面に絶縁膜 4 を形成する。半導体基板 1 の表面上にも形成されていてもよい。例えば、絶縁膜 4 は、CVD や熱酸化により形成してもよい。なお、絶縁膜 4 としては、例えば、酸化珪素膜または窒化珪素膜、樹脂膜などを用いることができる。

次に、図 1 (c) に示すように、開口部 3 内を含む半導体基板 1 上に導電膜 5 を形成してもよい。導電膜 5 は、例えば、スパッタまたは蒸着などにより形成してもよい。なお、導電膜 5 としては、例えば、ニッケル Ni、クロム Cr、チタン Ti、タングステン W、チタンタングステン TiW、窒化チタン TiN などの導電材料を用いることができる。導電膜 5 は、後述する埋め込み電極 7 をメッキ法によって形成する場合のメッキ電極であってもよいし、埋め込み電極 7 のバリアメタルであってもよい。この場合、導電膜 5 は、埋め込み電極 7 を構成する導電材料よりも半導体材料への拡散係数が低い導電材料から構成されてもよい。また、導電膜 5 は、反射防止膜であってもよいし、埋め込み電極 7 の半導体基板 1 等に対する密着性向上膜であってもよい。

【0016】

次に、開口部 3 に対応した位置に開口部 6' が設けられたレジスト層 6 を、シード電極 5 が形成された半導体基板 1 上に形成してもよい。開口部 6' の開口面積は、開口部 3 の開口面積よりも大きくてもよい。また、開口部 6' の開口面積は、パッシベーション膜の開口部の開口面積よりも大きくてもよい。

そして、開口部 3 内に埋め込み電極 7 を形成する。導電膜 5 をメッキ電極とした電解メッキ法を用いて、埋め込み電極 7 を形成してもよい。埋め込み電極 7 は、電解メッキ法を用いる方法のほか、例えば、インクジェット法により、導電性スラリーや導電性ペーストなどを開口部 3 内に吐出させるようにして形成してもよいし、無電解メッキ法を用いてもよいし、スパッタ法や CVD 法により形成してもよい。埋め込み電極 7 としては、例えば、ニッケル Ni、銅 Cu、金 Au、タングステン W やこれらの化合物、合金などを用いることができる。

【0017】

埋め込み電極 7 は、開口部 3 内だけでなく、半導体基板 1 の表面 1' 上に設けられていてもよい。この場合、電極パッド 2 の上面に被着して設けられていても

よい。埋め込み電極 7 は、半導体基板の表面 1' 上の絶縁膜 4 上に設られていてもよい。また、埋め込み電極 7 は、開口部 3 だけでなく、メッキレジスト層 6 に設けられた開口部 6' 内にも設けられてもよい。すなわち、埋め込み電極 7 は、開口部 3 上に盛り上がるようにして、開口部 3 だけでなく、開口部 6' を埋め込むように形成することができる。これにより、半導体基板の表面 1' 上にも、埋め込み電極 7 を突出させて形成してもよい。これにより、図 3 (d) における半導体基板 1 の積層構造において、層間接続をさらに安定して行うことができる。

【0018】

次に、図 1 (d) に示すように、メッキレジスト層 6 を除去してもよい。さらに、図 2 (a) に示すように、半導体基板 1 の表面 1' に保持部材 9 を貼り付けてもよい。ここで、保持部材 9 には、基材と、基材表面に設けられ、基材から剥離可能な粘着層 8 と、を含む。この粘着層 8 を介して保持部材 9 を半導体基板 1 の表面 1' に貼り付けることにより、保持部材 9 の貼り付けおよび引き剥がしを容易に行うことを可能としつつ、半導体基板 1 を支持することが可能となる。なお、保持部材 9 としては、例えば、樹脂や布などでできたテープやフィルム等の基材と、基材の表面に形成された粘着層と、を含んでもよい。

【0019】

また、保持部材 9 は、基材が透光性基板であってもよい。この場合、基材を介して粘着層に光照射を行うことが可能となる。このため、粘着層として感光性の粘着層を用いることにより、保持部材 9 の貼り付けまたは引き剥がしを容易に行うことが可能となる。例えば、透光性基板はガラス基板やであってもよい。さらに、保持部材 9 は、基材が半導体基板であってもよい。この場合、粘着層を構成する材料として感熱性の粘着材を用いることにより、保持部材の弾性係数や熱膨張係数などを半導体基板 1 に近くすることが可能となる。このため、保持部材 9 によって、半導体基板 1 を安定して保持することが可能となる。

【0020】

次に、図 2 (b) ~ (d) に示すように、半導体基板 1 を薄型化して、開口部 3 を半導体基板 1 に貫通させる。これにより、開口部 3 内の埋め込み電極 7 を半導体基板 1 に貫通させて、貫通電極 7' を形成する。

この半導体基板 1 の薄型化工程において、まず半導体基板 1 の裏面 1' を研削することにより、半導体基板 1 を薄型化してもよい。研削には、機械的研削を用いてもよいし、CMP を用いてもよい。半導体基板 1 を保持部材 9 で保持しながら、研削してもよい。この場合、半導体基板 1 の裏面 1' の研削は、絶縁膜 4 又は埋め込み電極 7 が露出する前に終了させる。すなわち、研削後の半導体基板 1 の厚み T_2 は、研削前の半導体基板 1 の厚みよりも小さく、かつ、開口部 3 の深さ D_1 よりも大きくなる。例えば、研削後の半導体基板 1 の厚み T_2 は、 $100\mu\text{m}$ とすることができる。半導体基板 1 の裏面 1' を研削すると、半導体基板 1 の粉砕層 9 が半導体基板 1 の裏面 1' に形成される場合がある。

【0021】

図 4 は、本発明の一実施形態に係る半導体装置の製造方法において、半導体基板 1 の薄型化工程において研削を行う場合の一例を示す斜視図である。

図 4 において、半導体基板 1 を載置するテーブル 21 には回転軸 22 が設けられている。テーブル 21 の上方には砥石 23 が設けられている。一方、半導体基板 1 の表面 1' には半導体基板 1 を保持する保持部材 9 が貼り付けられていてもよい。

【0022】

そして、半導体基板 1 の裏面 1' を研削する場合、半導体基板 1' 側をテーブル 21 上に載置し、半導体基板 1 の裏面 1' を砥石 23 側に向ける。砥石 23 の研削面が半導体基板 1 の裏面 1' に接触するようにして、砥石 23 を半導体基板 1 の裏面 1' に押し付けながら、砥石 23 を回転させる。さらに、回転軸 22 を中心としてテーブル 21 を回転させ、半導体基板 1 を回転させてもよい。これにより、半導体基板 1 および砥石 23 少なくとも一方の回転速度を上げることにより、半導体基板 1 の裏面の研削速度を容易に増加させることが可能となる。従って、半導体基板 1 の薄型化工程を短時間に行うことが可能となる。また、砥石 23 の研削面を半導体基板 1 の裏面に部分的に接触させて研削すれば、砥石 23 が半導体基板 1 の裏面を擦る時の速度分布を均一化することが可能となり、半導体ウェハ W の厚みの均一性を維持することが可能となる。

【0023】

次に、図 2 (d) に示すように、半導体基板 1 を裏面 1' からスピネッチングすることにより、半導体基板 1 を薄型化し、開口部 3 を半導体基板 1 に貫通させて、半導体基板 1 に貫通孔 3' を形成する。これにより、絶縁膜 4 又は埋め込み電極 7 の少なくとも先端を露出させる。スピネッチングは、半導体基板 1 を回転させながら、エッチングを行うことである。ここで、エッチングは、ウェットエッチングでもよいし、ドライエッチングであってもよい。なお、スピネッチング時に薬液を使用する場合、例えば、フッ酸と硝酸との混合液などを用いることができる。

【0024】

これにより、半導体基板 1 の薄型化および貫通電極 7' の形成を行う場合に、半導体基板 1 の被エッチング面の平坦性を維持することができ、かつ、絶縁膜 4 又は埋め込み電極 7 の先端を精度よく露出することができる。半導体基板 1 の薄型化および貫通電極 7' の形成を行うために要する時間を短縮することができる。また、研削を行った場合に半導体基板 1 に粉碎層 9 が形成されている場合には、粉碎層 9 を除去することができる。粉碎層 9 の除去を同時に行うことができる。このため、貫通電極 7' の品質を劣化させることなく、半導体基板 1 に貫通電極 7' を効率よく形成することが可能となり、半導体装置のスループットを向上させることが可能となる。

【0025】

貫通孔 3' 形成の際、開口部 3 内の絶縁膜 4 の少なくとも一部を露出させてもよい。貫通孔 3' の形成の際に、絶縁膜 4 も同時に除去して、埋め込み電極 7 の先端を露出させてもよい。なお、スピネッチング後の半導体基板 1 の厚み T3 は、半導体基板 1 の厚み T1 よりも小さく、開口部 3 の深さよりも小さい。例えば、半導体基板 1 の厚み T3 は、 $50\mu\text{m}$ とすることができる。

【0026】

図 5 は、本発明の一実施形態に係る半導体装置の製造方法における半導体基板 1 のスピネッチング工程の一例を示す斜視図である。

図 5 において、半導体基板 1 を載置するテーブル 31 には回転軸 32 が設けられるとともに、テーブル 31 の上方には、薬液 34 を供給する薬液供給部 33 が

設けられている。一方、半導体基板 1 の表面 1' には半導体基板 1 を保持する保持部材 9 が貼り付けられていてもよい。

【0027】

そして、半導体基板 1 の裏面 1'' をスピネッチングする場合、半導体基板 1 の表面 1' (保持部材 9 が設けられた場合、保持部材 9 が設けられた面) がテーブル 31 の表面に対向するように、半導体基板 1 をテーブル 31 上に載置し、半導体基板 1 の裏面 1'' を薬液供給部 33 側に向ける。

そして、回転軸 32 を中心とし、インデックステーブル 31 を回転させ、半導体基板 1 を回転させるとともに、薬液供給部 33 を半導体基板 1 の上方で移動させながら、薬液 34 を半導体基板 1 の裏面 1'' 上に垂らすことにより、半導体基板 1 の裏面からエッチングする。

【0028】

なお、薬液 34 を半導体基板 1 の裏面 1'' 上に接触させる場合、薬液 34 を半導体基板 1 の裏面 1'' 上に噴射させるようにしてもよく、薬液 34 を蒸気の状態にして、半導体基板 1 の裏面を薬液 34 に晒すようにしてもよい。

図 6 は、本発明の一実施形態に係る半導体装置の製造方法の半導体基板 1 のスピネッチング工程におけるエッチングレートと時間との関係を示す図である。

【0029】

図 6 は、半導体基板 1 のスピネッチング工程において、半導体基板 1 のエッチングレートが異なる複数の条件に切り替えてエッチングを行うことを示す。すなわち、半導体基板 1 のスピネッチング工程において、半導体基板 1 に対するエッチングレートが経時変化するようにエッチングを行うことを示す。

例えば、図 6 において、まず半導体基板 1 のスピネッチング工程における半導体基板 1 のエッチングレートが R1 となる条件を用いて、半導体基板 1 の裏面 1'' をスピネッチングすることにより半導体基板 1 の薄型化を行う。次に、半導体基板 1 のスピネッチング工程において、半導体基板 1 のエッチングレートが R1 よりも遅い R2 となる条件を用いて、半導体基板 1 の裏面 1'' をスピネッチングする。

【0030】

図6を用いて、エッチングレートが経時変化するような例を示したが、本願はこれに限定されるものではなく、エッチングレートが経時変化しない場合であってもよい。

これにより、図2(d)に示すように、開口部3を半導体基板1に貫通させる。絶縁膜4又は埋め込み電極7の先端を精度良く露出させることができる。

【0031】

これにより、スピネッチングのエッチングレートが長時間に渡って低下することを防止しつつ、スピネッチングのエッチング量の面内バラツキを低減させることが可能となる。従って、半導体装置のスループットの低下を抑制しつつ、貫通電極7'の突出高さの均一性を向上させることが可能となる。

次に、図3(a)に示すように、貫通電極7'の先端の絶縁膜4を除去する。これは、貫通電極7'の先端の絶縁膜4を研削することにより除去してもよい。貫通電極7'の先端は、半導体基板1の裏面から突出しているので、半導体基板1の裏面を研削面上に載置した際に、貫通電極7'の先端の絶縁膜4を研削面に強く押し当てることができる。このため、研削を用いた場合、貫通電極7'の先端の絶縁膜4を効率よく露出することができる。従って、研削を用いて貫通電極7'の先端の絶縁膜4を研削することにより、貫通電極7'の先端の絶縁膜4を効率よく除去することができる。

【0032】

ここで、貫通電極7'の先端に設けられた絶縁膜4を研削する場合、機械的研削または図7に示すCMP（化学的機械的研磨）等の研削、又は、エッチング等を用いることができる。

図7は、本発明の一実施形態に係る半導体装置の製造方法における半導体絶縁膜4の研削工程の一例を示す斜視図である。図7に示す例では、絶縁膜4を研削する方法として、CMP（Chemical Mechanical Polishing）を使用した例を示す。この場合、半導体基板1の裏面1''にスラリー47を供給しながら、半導体基板1の裏面1''を機械的研磨することにより、CMPを行う。半導体基板1の表面1'側に保持部材9が形成された状態でCMPされてもよい。これにより、半導体基板1に与える損傷を抑制し、貫通電

極 7' の突出高さの均一性を維持しつつ、貫通電極 7' の先端の絶縁膜 4 を効率よく除去することができる。

【0033】

以上によって、貫通電極 7 を有する半導体基板 1 を含む半導体装置を製造することができる。

次に、このように製造された半導体装置を積層して、半導体モジュールを形成する。貫通電極 7 を含む半導体基板 1 を、電極を含む他の半導体基板上に搭載し、電極と貫通電極 7 とを電氣的に接続する。図 3 (b) に示すように、上記半導体基板 1 に対応する各半導体基板 1 a ~ 1 c に形成された貫通電極 7 に対応する貫通電極 7 a ~ 7 c が接合するように、半導体基板 1 a ~ 1 c を積層する。この半導体基板 1 a ~ 1 c 間の隙間に樹脂 10 a、10 b を形成してもよい。こうして半導体基板 1 a ~ 1 c の積層構造を含む半導体モジュールを製造する。

【0034】

これにより、貫通電極貫通電極 7 a ~ 7 c の品質を劣化させることなく、貫通電極 7 a ~ 7 c を効率よく形成することが可能となり、貫通電極 7 a ~ 7 c の形成時のスループットを向上させることが可能となるとともに、半導体基板 1 a ~ 1 c の積層構造を精度よく構築することが可能となる。

なお、上述した実施形態では、半導体基板 1 に貫通電極を形成する方法について説明したが、本発明は、半導体基板 1 に限定されることなく、例えば、能動素子が形成された基板に貫通電極を形成する電子装置及び電子モジュールの製造方法に適用してもよい。例えば、薄膜トランジスタなどが形成されたガラス基板に貫通電極を形成する方法に適用してもよい。

【0035】

【発明の効果】

以上説明したように、本発明によれば、スパインエッチングを用いて貫通電極を形成することにより、貫通電極の品質を劣化させることなく、貫通電極を効率よく形成することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態に係る半導体装置の製造方法を示す断面図。

【図 2】 本発明の一実施形態に係る半導体装置の製造方法を示す断面図。

【図 3】 本発明の一実施形態に係る半導体装置の製造方法を示す断面図。

【図 4】 本発明の一実施形態に係る半導体基板の研削方法を示す斜視図。

【図 5】 一実施形態の半導体基板のスピンエッチング方法を示す斜視図。

【図 6】 スピンエッチング工程のエッチングレートの設定方法を示す図。

【図 7】 一実施形態に係る半導体基板のCMP方法を示す斜視図。

【図 8】 従来の半導体装置の製造方法を示す断面図。

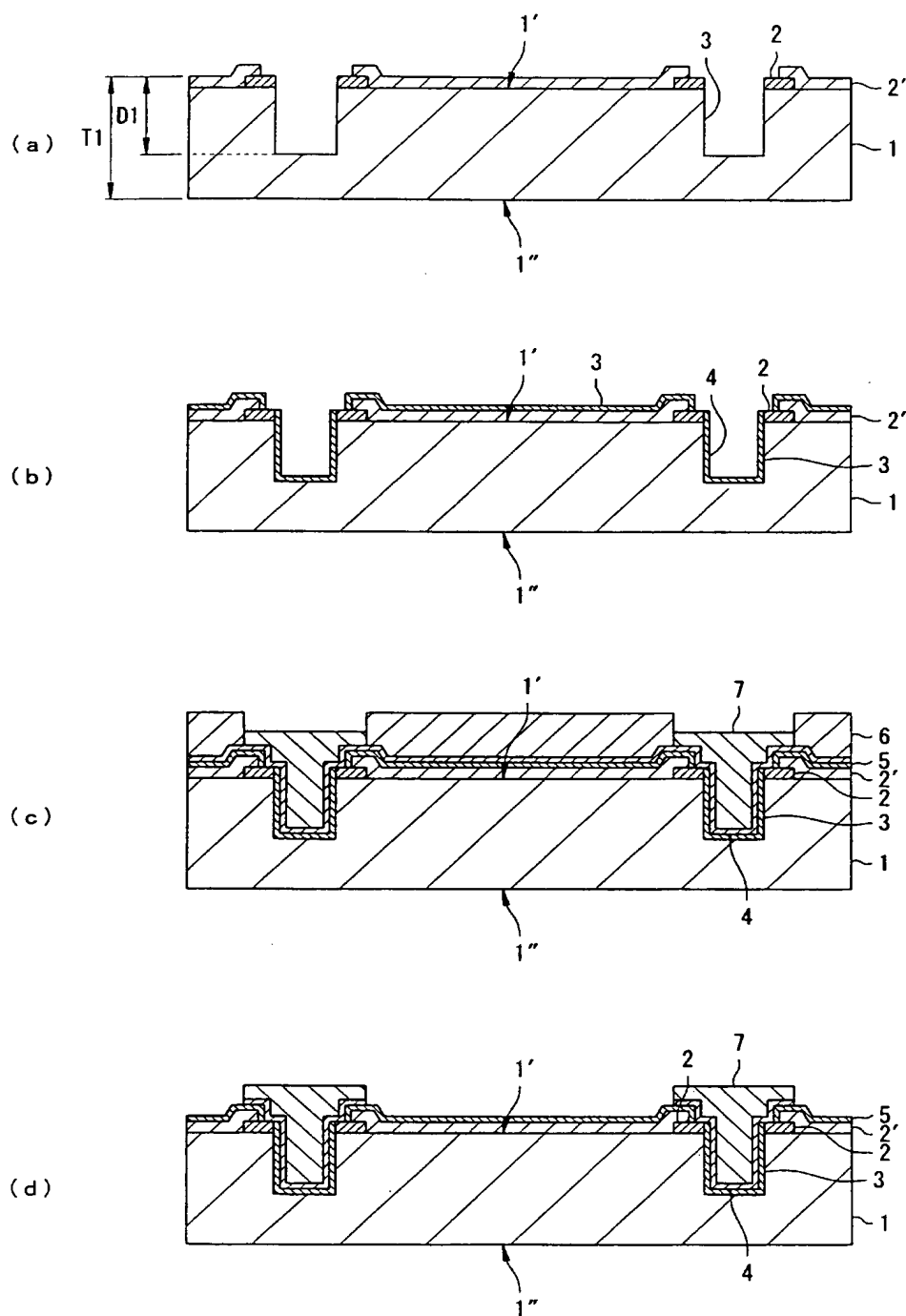
【符号の説明】

1、1a～1c 半導体基板、1' 表面 1'' 裏面、2 電極パッド、
3 開口部、3'、3a～3c 貫通孔、2'、4 絶縁膜、5 導電膜、6
レジスト層、6' 開口部、7 埋め込み電極、7'、7a～7c 貫通電極、
8 粘着層、9、10a、10b 樹脂、21、31 テーブル、22、32、42、
45 回転軸、23 砥石、33 薬液供給部、34 薬液 41 研削板、4
3 研削布、44 加圧ヘッド、46 スラリー供給部、47 スラリー

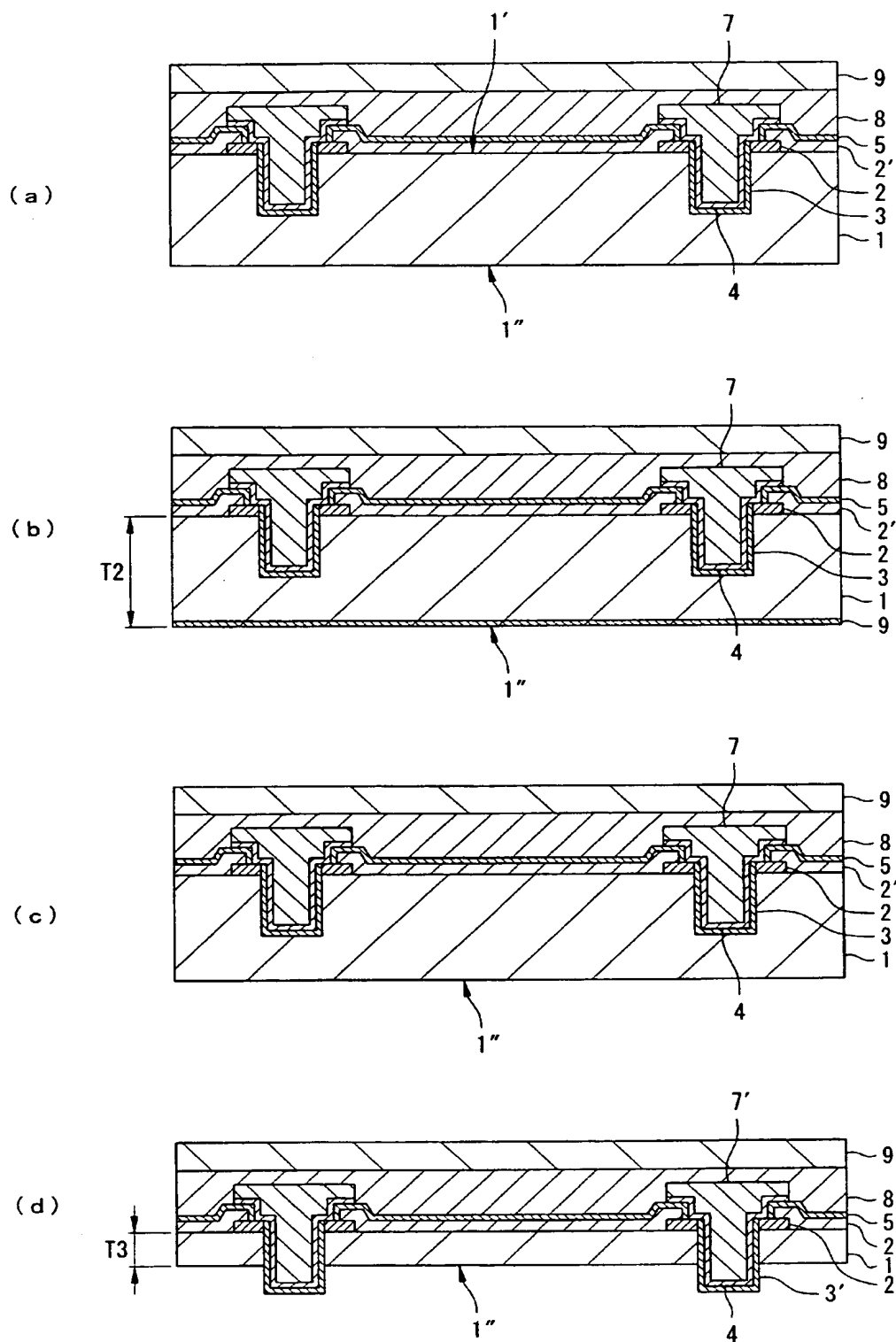
【書類名】

図面

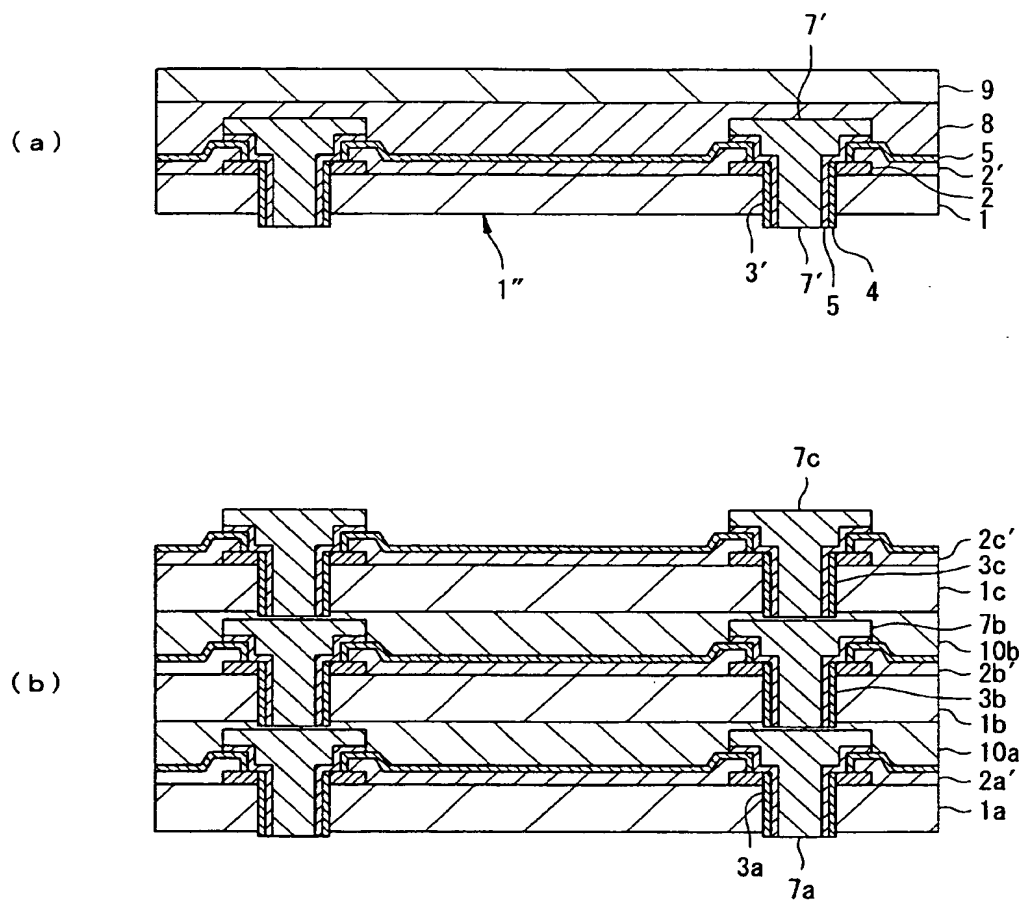
【図 1】



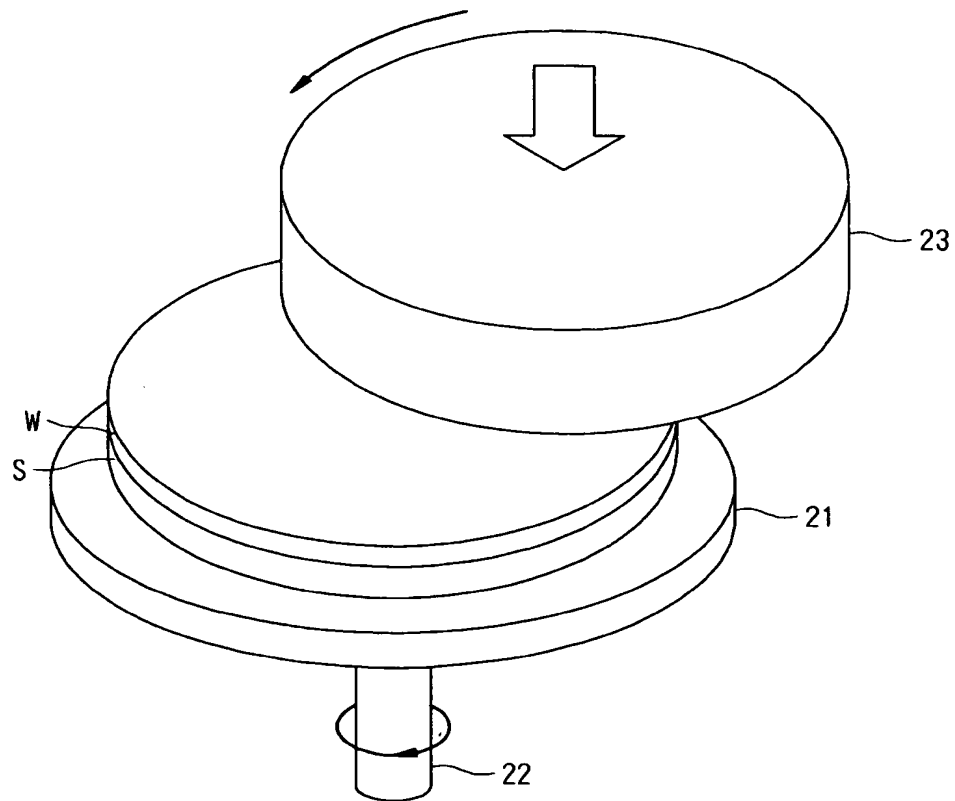
【図 2】



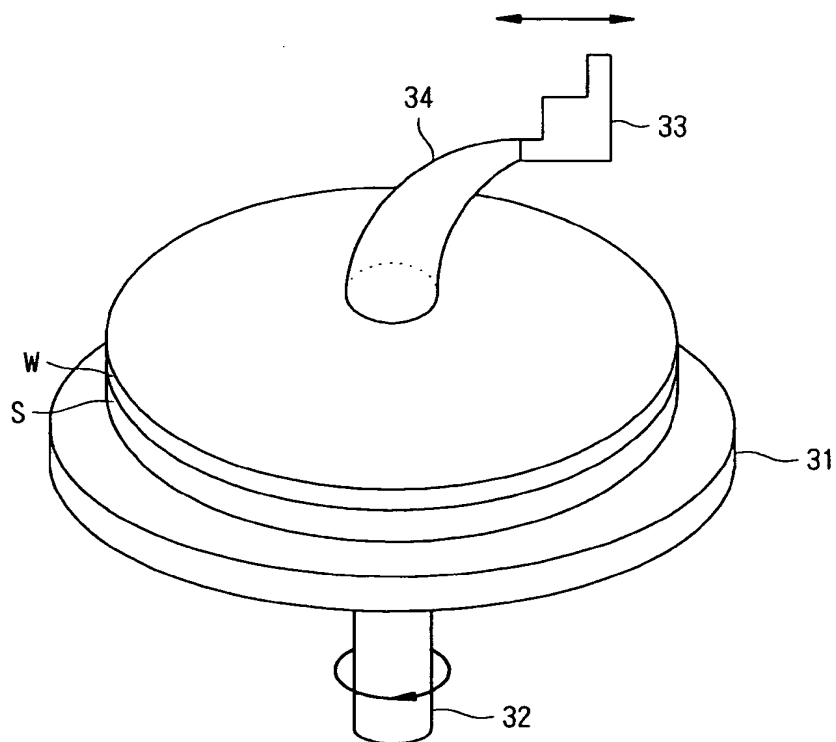
【図 3】



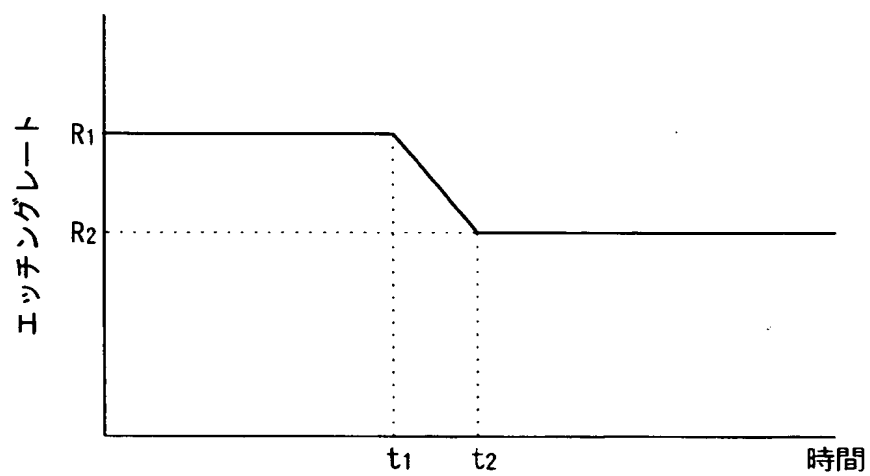
【図 4】



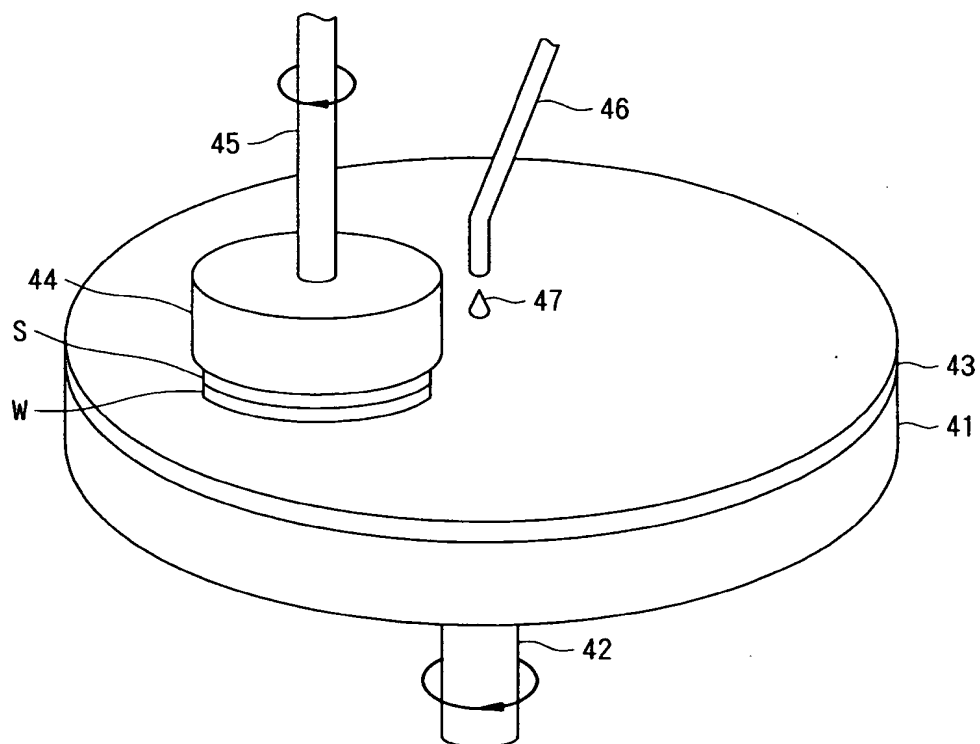
【図 5】



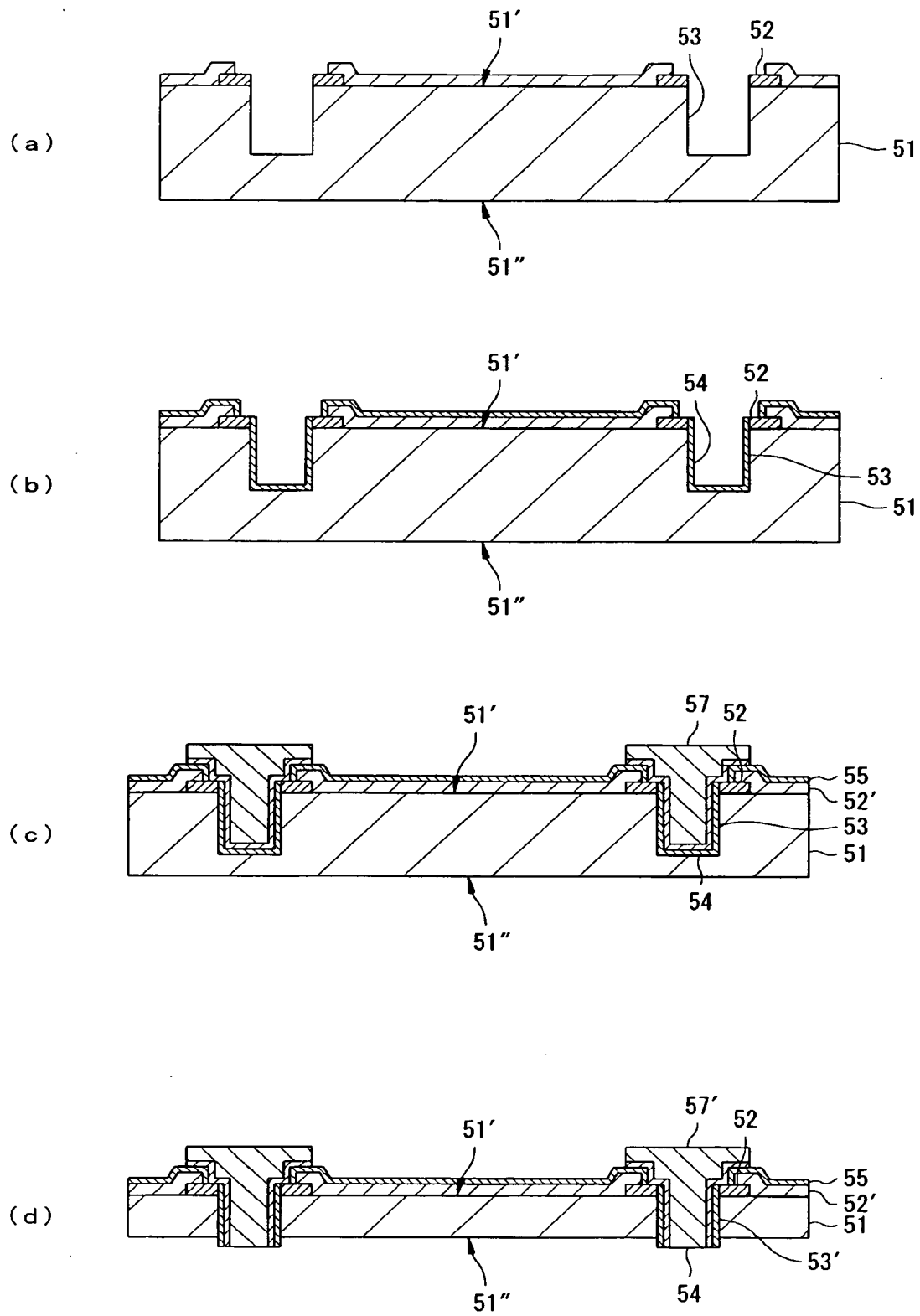
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 貫通電極の品質を劣化させることなく、貫通電極を効率よく形成する

。

【解決手段】 裏面 1' から半導体基板 1 をスピネッチングすることにより、半導体基板 1 を薄型化し、開口部 3 を貫通させて、半導体基板 1 に貫通孔 3' を形成する。埋め込み電極 7 の先端を半導体基板 1 の貫通孔 3 から露出させ、貫通電極 7' を形成する。

【選択図】 図 2

特願 2 0 0 3 - 0 1 5 5 1 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社